



저작자표시-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.
- 이 저작물을 영리 목적으로 이용할 수 있습니다.

다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원저작자를 표시하여야 합니다.



변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#)

공 학 석 사 학 위 논 문

**Pt / Nb 도핑된 SrTiO_3 ReRAM
소자의 전기적 특성과 저항변화
메커니즘에 대한 연구**

**Investigation of Pt / Nb doped SrTiO_3
RERAM electrical property and resistive
switching mechanism**

2013년 2월

서 울 대 학 교 대 학 원

재 료 공 학 부

박 진 호

초 록

현 시대에서 처리할 수 있는 정보의 크기와 그 처리 속도가 더욱더 크게 요구되는데 반해 현재의 저장매체는 그 성능적 한계를 갖고 있다. 이는 물리적, 기술적 한계에 의한 것으로 기존의 메모리 방식이 아닌 새로운 방식의 메모리 소자가 새로이 개발되어야 함을 의미한다. 그에 따라 이미 많은 차세대 메모리 소자가 개발 되고 있다. 그 중 ReRAM은 다른 소자에 비해 빠른 스위칭 속도, 큰 저항의 차이, 낮은 구동전압, 간단한 소자제작에 따른 다양한 응용가능성과 같은 많은 장점으로 인해 특히 연구가 활발히 진행되고 있다.

ReRAM은 전압이나 전류와 같은 전기적 자극에 의해 저항이 변하고 이를 메모리 신호로 쓰는 메모리 소자 체제를 말한다. ReRAM은 전기적 자극에 대한 저항변화의 특성에 따라 크게 두 가지로 나눌 수 있는데 전기자극의 크기에만 저항변화가 의존하는 단발성 저항변화, 전기자극의 극성에 따라 저항변화가 일어나는 양발성 저항변화가 있다. 단발성 저항변화의 경우 주로 박막 내부에 전도성 필라멘트의 형성과 파괴로 설명된다. 그리고 그에 대한 많은 실험적, 직접적 증거가 입증되었다. 양발성 저항변화의 경우 그 소자의 구조나 전기적 특성에 따라 전도성 구조의 형성, 파괴로 설명 될 수도 있거나, 또는 계면 전체에서 저항변화가 일어나는 homogeneous한 현상으로 설명되기도 한다. 소자 계면 전체의 영역에서 일어나는 homogeneous 현상에 대해서는 기존 연구를 통해 많은 저항변화 메커니즘이 제시되었고, 그 대부분이 계면에서의 상태변화를 주된 저항변화의 원인으로 설명하였다. 하지만 계면의 미세구조가 저항변화를 결정하는 가장 큰 요소임에도 불구하고 그 동안 직접적으로 계면에서의 이온 움직임 또는 전자 구조에 대해 원자 단위에서 관찰한 연구가 매우 적다.

본 실험에서는 Pt 금속과 Nb doped SrTiO_3 단결정 접합 ReRAM소자가 TEM을 통해 미세한 계면을 실험하기 위한 가장 이상적인 모델 시스템이라 생각하였고, 따라서 그에 대한 실험결과를 토대로 homogeneous 양발성 저항변화를 연구하였다. 우선 I-V characteristic으로 저항변화와 retention을 확인하였고, 직접적인 메커니즘의 연구를 위해 계면에서의 TEM, STEM/EELS를 실험하였다. 기존의 논문들에서는 금속과 SrTiO_3 단결정 소자의 계면전체에서 homogeneous 저항변화 현상을 보고하였으며 이에 electro-chemical migration, trap/detrap으로 인한 포텐셜 장벽 변화 또는 tunneling current path의 변화를 저항변화의 원인으로 제시하고 있다. 하지만 이러한 메커니즘들은 본 실험의 결과로 설명될 수 없다. 따라서 우리는 실험결과로부터 기존 메커니즘과는 다른 저항변화 메커니즘을 생각해보았다. 그 결과 oxygen vacancy 농도와 Fermi pinning 효과에 따른 포텐셜 장벽 높이의 변화가 가장 타당한 메커니즘임을 제시하였다. 이러한 메커니즘 연구는 저항변화의 현상에 대해 더 자세히 알 수 있도록 도움을 줄 것 이라 생각하는 바이다.

주요어 : ReRAM, EELS, TEM, Nb:STO

학 번 : 2011-20646

이 름 : 박 진 호

목 차

초 록.....	i
목차.....	iii
List of Figures	v
List of Tables	vii
1. 서 론.....	1
2. 문헌연구.....	3
2.1 ReRAM.....	3
2.1.1 ReRAM 의 특성	3
2.1.2 단발성 저항변화의 메커니즘	6
2.2 양발성 저항변화의 메커니즘.....	8
2.2.1 ion 의 electro-chemical migration 에 의한 저항변화 메커니즘.....	10
2.2.2 charge defect trap/detrap 에 의한 포텐셜 장벽 변화 메커니즘.....	12
2.2.3 tunneling path 형성에 따른 저항변화	14
2.3 STO 의 구조와 전기적 특성	16
2.3.1 STO 의 전기적 특성	16
3. 실험방법.....	19
3.1 소자의 제작	19
3.2 전기적 특성 측정	20
3.3 TEM 샘플의 준비	20
3.4 TEM 실험	21
4. 실험결과.....	22
4.1 전기적 특성	22

4.1.1 I-V curve 측정과 저항변화	22
4.1.2 이론적 포텐셜 장벽 계산.....	24
4.1.3 retention의 확인	28
4.2 TEM을 이용한 저항변화 원인 연구	31
4.2.1 저항 상태별 High resolution image 분석	31
4.2.2 각 저항 상태별 STEM-EELS 분석.....	32
4.3 Pt/Nb:STO의 저항변화 원인 모색	35
4.3.1 직렬연결 저항체의 저항변화 모델.....	35
4.3.2 계면에서 모델에 따른 포텐셜 장벽의 계산과그의 변화에 따른 저항변화.....	38
4.3.3 계면에서 포텐셜 장벽의 높이 변화에 따른 저항변화....	40
5. 결 론	43
6. 참고문헌.....	45
Abstract	48

List of Figures

Fig. 2-1 (Top) Unipolar switching and (Bottom) Bipolar switching in ReRAM

Fig. 2-2 (Top) Filament region in TiO_2 thin film in off state and diffraction pattern of filament structure (Bottom) Filament region in on state and diffraction pattern of filament

Fig. 2-3 Homogeneous resistive switching in Nb:STO single crystal ReRAM system

Fig. 2-4 (Left) Donor distribution and potential simulation in case of set process. (Right) and reset process

Fig. 2-5 (Left) Potential barrier lowered by charge detrap from the oxygen vacancy. (Right) Potential barrier increased by trap at oxygen vacancy

Fig. 2-6 (Top) Tunneling effect difference by Nb concentration (Middle) Potential barrier of SRO/Nb:STO and LaSTO/STO (Bottom) I-V curve for each device

Fig. 3-1 Pt/Nb:STO 0.5 wt% (001) single crystal /Ti/Au ReRAM system

Fig. 4-1 (Top) log scale I-V curve for applying 1V and 2V. (Bottom) linear scale I-V curve

Fig. 4-2 Conduction mechanism for Pt/Nb:STO Schottky junction in case of high applying voltage

Fig. 4-3 Ti/Nb:STO Ohmic conduction I-V curve

Fig. 4-4 (Left) Continuous resistance measurement for LRS, HRS

Fig. 4-5 (Top)(Middle) retention confirmation after specific time. (Bottom) Resistance state changes from HRS to LRS and from LRS to HRS depending on cells.

Fig. 4-6 (Top) LRS (Bottom) HRS HR-TEM, STEM image

Fig. 4-7 (Left) STEM-image and Ti-L edge, O-K edge EELS line profile of LRS interface. (Right) STEM-image and EELS line profile of HRS interface.

Fig. 4-8 Oxygen vacancy distributions in STO thin film by each applied bias. Off state driven by oxygen vacancy depleted region and on state driven by oxygen vacancy distribution recovery

Fig. 4-9 Oxygen vacancy distribution model for (Left) HRS (Right) LRS series resistance mechanism based on experiment result

Fig. 4-10 Calculated potential barrier at each resistance state

Fig. 4-11 Oxygen vacancy distribution model for (Left) HRS and (Right) LRS

Fig. 4-12 (Top) Lowering the potential barrier by shallow oxygen vacancy interface state and Fermi pinning (Bottom) Increasing the potential barrier by deep oxygen vacancy interface state

List of Tables

Table. 2-1 Potential barrier height depending on heat or gas condition at Pt/NbSTO or Pt/BaSTO

Table. 4-1 Potential barrier height and ideality for LRS and HRS by thermionic conduction and drift-diffusion conduction

1. 서 론

정보화시대에서 저장매체는 갈수록 더 큰 용량과 더 빠른 접근성이 요구되지만 물리적, 기술적 문제로 인해 기존의 저장매체는 그 성능 향상에 한계를 갖고 있다. 그에 따라서 차세대 메모리 소자가 많이 연구되고 있다. 차세대 메모리 소자들은 현재의 DRAM, flash memory 등에 비해 더 많은 장점들을 보여주고 있지만 아직 상용단계에까지 이르지 못하는 못했다. 이러한 메모리 소자 중에서도 Resistive switching RAM(ReRAM)은 다른 차세대 메모리에 비해 높은 내구성, 빠른 스위칭 속도, 간단한 제작과정 등으로 가장 많이 연구되고 있는 소자 중 하나이다. ReRAM이란 전기적 자극으로 인해 저항의 변화가 일어나며, 그에 따른 저항상태를 기억 신호로 사용하는 소자를 말한다. 일반적으로 ReRAM은 저항변화의 특성에 따라 두 가지로 분류가 된다. 첫 째는 전기적 자극의 크기에만 저항변화가 의존하는 단발성 저항변화, 둘 째는 가해진 전기적 극성에 따라 저항이 변하는 특성을 양발성 저항변화이다. 단발성 저항변화의 경우 많은 기존의 연구에서 그 원인이 재료 내의 전도성 경로인 filament의 형성과 파괴로 설명을 하고 있으며, 그에 대해 충분히 입증된 상태이다. 하지만 양발성 저항변화의 경우 소자 구조나 전기적 특성에 따라 그 메커니즘이 전도성 필라멘트의 형성, 파괴 일 수도 있고, 또는 homogeneous한 전체 계면에서의 물리, 화학적 변화에 의해서 현상 일 수도 있다. 하지만 homogeneous 양발성 저항변화의 경우 계면에서의 상태변화를 가장 주된 원인으로 제시하지만, 실제 계면에서의 화학적 반응으로 인해 계면에 대한 연구를 어렵게 하며, 또한 미시적인 측면에서의 계면에 대한 실험이 충분히 이뤄지지 않은 상태이다. [11] [19] [20]

본 실험에서는 Pt와 Nb:STO₃(Nb:STO)를 이용하여 homogeneous한 양발성 저항변화에 대해 연구하였다. Pt:NbSTO

는 Pt의 반응성이 작기 때문에 계면에서 화학적 반응을 최소화 할 것이며, 박막이 아닌 기판을 사용하여 박막 내부의 외적 요인을 제거함으로써 계면상태에서의 변화에 대한 저항변화와의 관계를 연구할 수 있을 것이다. 따라서 이는 Transmission Electron Microscopy (TEM)을 통해 계면에서 실험을 진행하기 위한 가장 이상적인 모델 system 중 하나이다. 이미 많은 논문에서는 Pt와 Nb:SrTiO₃(Nb:STO) 기판의 접합에서 계면에서의 저항변화의 특성을 확인하였으며, 이러한 저항변화의 메커니즘으로는 ion의 electro-chemical migration[6] [21], trap/detrap으로 인한 계면에서의 포텐셜 장벽 변화 [14] [12] 또는 터널링 경로의 변화 [4]가 주장되고 있다. 우리는 이러한 Pt/Nb:STO ReRAM 소자에서 TEM 관찰을 통해 계면에서 직접적으로 화학적 결합이나 구조의 변화나 원자 분포 변화를 관찰하고 이를 토대로 저항변화의 메커니즘을 밝히고자 한다.

실험과정은 첫 번째로 우선 Pt와 Nb:STO 간의 I-V curve 측정을 통해 저항변화특성을 확인하였다. 다음으로 계면에서의 직접적인 원자들의 움직임을 관찰하기 위해 TEM를 이용하였다. 이를 통해 각 저항상태마다 계면에서 원자들의 분포를 직접적으로 관찰할 수 있었다. 또한 Scanning TEM(STEM)-electron energy loss spectroscopy(EELS)를 통해 이미지에서는 확인하지 못하였던 계면 근처의 전자 구조 분석, 원자 분포의 분석을 하였다. 실험의 결과 저항상태에 따라 계면에서의 화학적 결합, 원자의 분포, 전자 구조가 어떻게 다른지 알 수 있을 것이다. 그리고 그 실험결과를 바탕으로 기존의 논문에서 제시된 메커니즘이나 또는 새로운 메커니즘으로 저항변화의 원인을 설명 할 것이며 이는 앞으로 ReRAM의 메커니즘을 연구함에 있어 도움이 되리라 기대할 수 있다.

2. 문헌연구

2.1 ReRAM

2.1.1 ReRAM의 특성

정보화 시대에 있어서 자료에 대한 빠른 접근과 큰 용량의 메모리는 필수적이다. 현재의 DRAM, flash memory의 경우 소자 특성 상 스케일링에 의한 물리적, 기술적 문제가 나타나기 시작했으며 그에 따라 성능의 한계가 다가오고 있다. 따라서 그를 대체할 만한 다른 차세대 메모리 소자들이 최근 활발히 연구 중에 있다. 이러한 차세대 메모리소자로서 Phase change RAM(PRAM), Resistive switching RAM(ReRAM), Magnetoresistive RAM(MRAM) Ferroelectric RAM(FeRAM), 등이 있는데 이 중에서도 ReRAM은 타 소자에 비해 쉬운 제작공정과 빠른 스위칭 속도, 뛰어난 내구성, 높은 저항의 차이(on/off ratio)와 같은 뛰어난 성능을 보이고 있기 때문에 여러 연구그룹에서 각별한 관심을 갖고 있다.

ReRAM이란 저항변화를 메모리 신호로 이용하는 메모리소자로서, 특별히 복잡한 시스템 없이 소자 자체만으로 가해진 전기적 자극에 따라 다른 저항 값을 갖게 된다. 즉 가해주는 전압에 따라(voltage controlled negative differential resistance) 또는 가해진 전류에 따라(current controlled negative differential resistance) 변하는 저항 값 자체를 메모리 상태로 이용하는 것이 바로 ReRAM의 기본원리라 할 수 있겠다. ReRAM은 그 소자가 단순하여 제작 공정이 쉽고, 응용될 수 있는 소지가 많다는 장점이 있는데 이는 소자가 단순히 특정 재료에 두 전극을 증착함으로써 이루어지기 때문이다. 이러한 metal/insulator/metal(MIM)구조에서 가운데 쓰이는 재료로

는 초거대 자기저항 물질(Colossal Magneto-resistance-CMR), 이성분계 산화물, Chalcogenide, SrTiO_3 나 SrZrO_3 와 같은 강유전체 물질에 Cr, Nb와 같은 다른 원소를 도핑한 재료, GeSe와 같은 재료에 Ag와 같은 이온 mobility가 큰 물질을 도핑하여 만드는 programmable metallization cell(PMC) 등이 있다.

한편 ReRAM은 그 전기적 특성에 따라 단극성 저항변화 소자와 양극성 저항변화 소자로 분류할 수도 있으며, 또는 물리적 메커니즘에 따라서 filament model 기반 ReRAM, interfacial model 기반 ReRAM으로 나누기도 한다. [19] [11] 우선 단극성 저항변화 소자의 경우 가해주는 전압의 크기에 따라 저항이 변하는 특성을 갖는다. 예컨대 아래 그래프에서 보듯이 어느 특정 전압을 가해주었을 경우 high resistance state(HRS)에서 low resistance state(LRS)로 변하는 on state를 보이며, 그 이상의 특정 전압에서는 LRS에서 HRS로 가는 off state를 보인다. 이는 양극, 음극에서 모두 동일하게 나타나는 현상으로, 극성에 관계없이 저항변화 모습이 동일하게 나타나는 특성을 보인다. 반면 양극성 저항변화 소자의 경우는 가해주는 전압의 양, 음극에 따라 저항이 변하는 특성을 보여주는 소자이다. 아래 그래프의 예를 보면, 양극에서는 HRS에서 LRS로 변하는 on state가 나타나는 반면, 음극을 가해주었을 경우 LRS에서 HRS로 변하는 off state가 나타난다.[Fig2-1] 따라서 단발성 저항변화 소자와는 다르게 전압의 극성이 소자 내에서 저항변화를 주는 요인이라 할 수 있다. 한편 현재까지 널리 알려진 저항변화 메커니즘인 필라멘트 모델과 계면변화 모델은 이러한 단극성, 양극성의 특성과 밀접한 관계를 갖고 있다. 이에 대해 좀 더 알아보도록 하겠다.

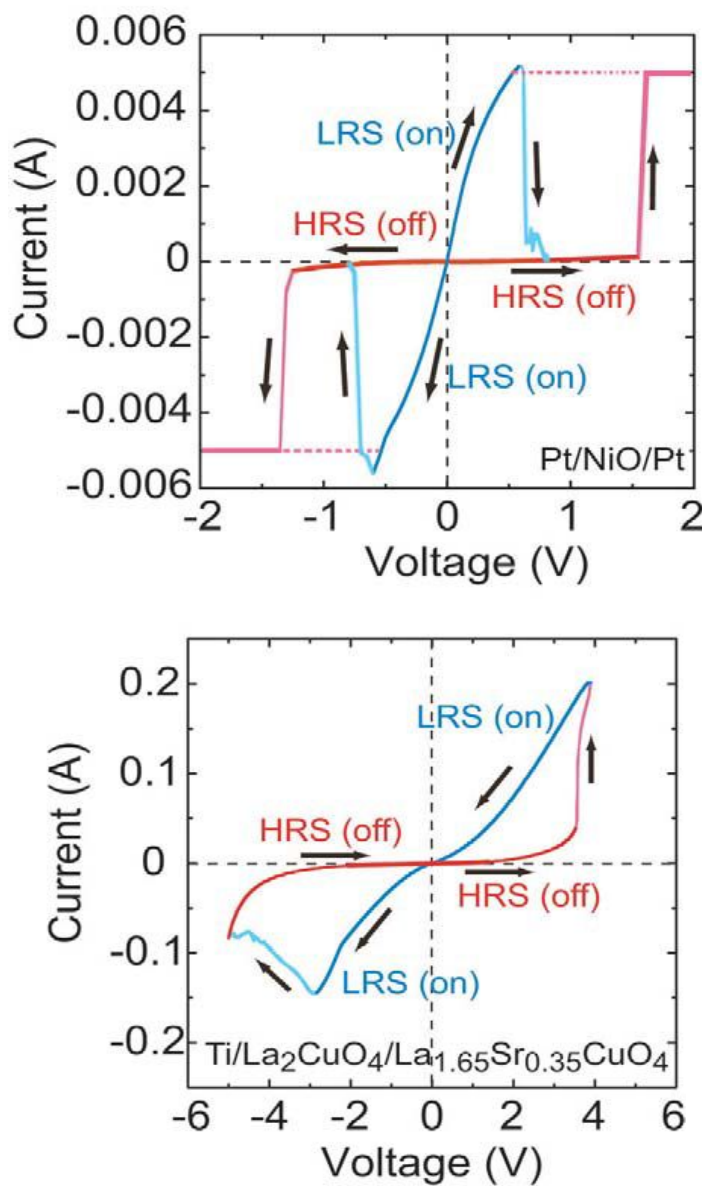


Fig. 2-1 (Top) Unipolar switching and (Bottom) Bipolar switching in ReRAM

2.1.2 단극성 저항변화의 메커니즘

단극성 저항변화 소자의 경우 양극성 저항변화 소자에 비해 그 동안의 연구로 메커니즘의 상당 부분이 밝혀졌다. 일반적으로 대다수의 단극성 저항변화 소자의 메커니즘은 필라멘트 모델로 설명하고 있다. 그리고 실제로도 직접적이고 확실한 근거들이 계속해서 이를 뒷받침하고 있는 실정이다.

기존에 주로 연구되어 왔던 소자 시스템으로는 양 쪽 금속 전극 사이에 특정 재료의 박막을 위치한 소자이다. 주로 NiO_2 , TiO_2 , SrTiO_3 등과 같은 이성분계 또는 삼성분계의 transition metal oxide를 박막재료로 사용했다. 이러한 소자에서는 금속 전극에 특정 전압 이상을 걸어주었을 경우 박막 내에서 새로운 이차상이 형성되어 금속 전극간 박막 내에서 필라멘트를 형성하기도 하며, 또는 특정 결정립의 경계면에서 필라멘트와 같은 역할을 하기도 한다. 이와 같은 현상이 나타날 때 저항 값이 감소하는 on state의 모습이 보인다. 반면 또 다른 특정 전압에서는 새롭게 형성된 필라멘트가 소멸되거나 역할이 감소되면서 저항 값이 증가하는 off state가 나타난다.

기존 논문에 따르면 $\text{Pt/TiO}_2/\text{Pt}$ 소자에서 단발성 저항변화가 나타나는데 이러한 물리적 현상의 원인은 TiO_2 박막내의 filament 형성과 소멸로 밝혀졌다. [3] 처음 특정 전압 이상을 가해주었을 경우 순간적으로 저항이 작아지는 모습을 보이는데 이를 forming 과정이라 한다. 이 때 Ti_2O_3 의 magnèli 이차상으로 이루어진 필라멘트가 양 전극 사이에 형성되었다. 후에 전압을 가해 off state로 만들었을 경우 이 magnèli 필라멘트가 사라지는 모습을 볼 수 있으며, 다시 더 큰 전압을 가해 on state로 바꿔줄 경우 magnèli 필라멘트가 형성되는 모습을 볼 수 있다. 이 논문에서는 이러한 이차상 필라멘트가 기존 박막에 있는 oxygen vacancy가 외부에서 가해준 전기장과 그

로 인한 열적 이동현상에 의해 재배열 되는 과정으로 형성된다고 설명하고 있다. [Fig 2-2]

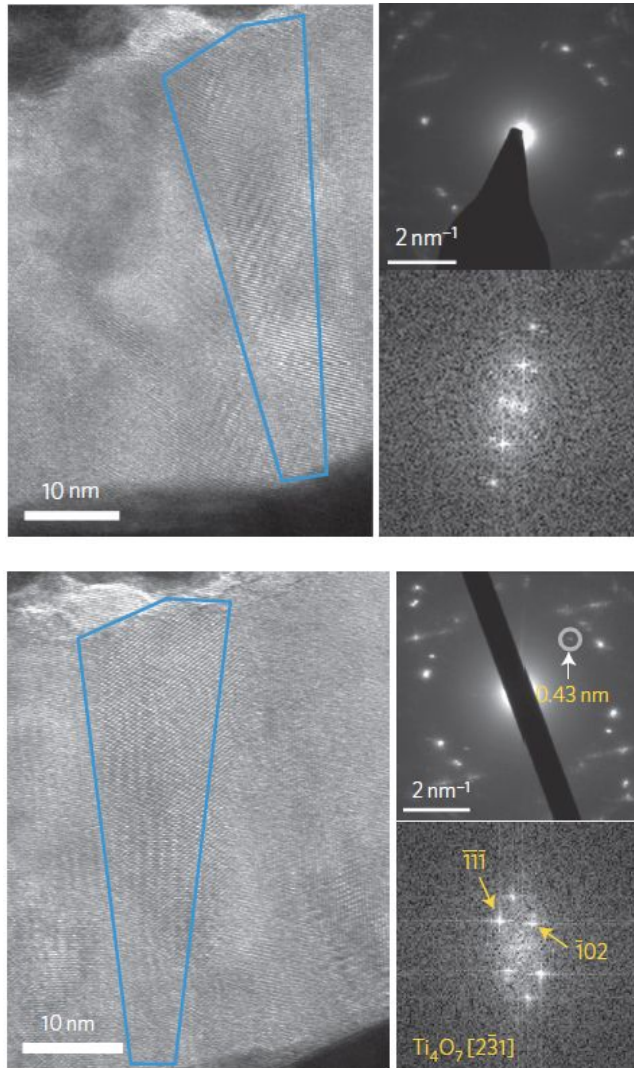


Fig. 2-2 (Top) Filament region in TiO₂ thin film in off state and diffraction pattern of filament structure (Bottom) Filament region in on state and diffraction pattern of filament

2.2 양극성 저항변화의 메커니즘

양극성 저항변화의 경우에는 그 전기적 특성이나 각기 다른 시스템의 소자마다 많은 차이점을 보여준다. 주로 전극 사이에 부도체 또는 반도체의 박막이 들어간 구조를 갖는 소자에서는 많은 연구그룹들이 박막 내의 필라멘트 형성으로 설명을 하려는 반면 특정 기판에 전극을 접합시킨 소자에서는 이를 계면에서의 특정 작용에 의한 효과로 설명하고 있다. 우선 박막 내의 필라멘트 형성으로 양극성 저항변화를 설명하는 메커니즘은 위에서 언급한 단극성 저항변화와 유사하다. 대부분의 논문에서 주로 실험한 전이금속 산화물 박막에서는 극성에 따라 산소 이온의 움직임 방향이 달라지고 특정 극성에서 일정한 움직임은 산소 이온에 의해 필라멘트가 형성되거나 또는 전류가 잘 흐르는 특정 영역을 만든다. 반대 극성에서는 산소 이온이 반대 방향으로 움직이면서 필라멘트가 파괴되거나 특정 영역이 소멸되는 모습을 보이기 때문이라고 저항이 커진다고 설명한다. [18]

하지만 몇몇 양극성 저항변화 소자의 경우는 이 메커니즘으로 설명할 수 없는 특성을 보인다. 이는 주로 전극 사이에 단결정 기판이 있는 구조로써 일반적인 박막에 비해 기판의 두께가 1000배 이상 두껍다. 이 전이금속 산화물 기판에 일함수가 큰 금속 전극을 접합하였을 때 저항변화의 특성이 보이는데, 이는 앞에서 설명한 필라멘트 형성과 소멸의 메커니즘으로 설명할 수 없다. 이는 기판의 두께가 보통 수백 μm 이며, 소자의 면적에 저항이 비례한다는 점에서 설명될 수 없으며, 따라서 기판과 전극 사이의 계면 변화로 설명하고자 하는 모습들이 최근 논문들에서 많이 보이고 있다 [11] [Fig2-3] 하지만 기존 논문들에선 계면에서의 저항변화 원인에 대해 각각 다른 설명을 하고 있고 그에 대한 충분한 근거가 부족하다. 이는 이러한 특성을 갖는 재료가 매우 다양하다는 점과 같은 소자라도 가해진 전기적 자극에 따라

저항변화의 특성이 변한다는 점 [21], 그리고 계면을 직접적으로 미세하게 연구하는 것은 상대적으로 힘들다는 점에 의한 것으로 생각된다.

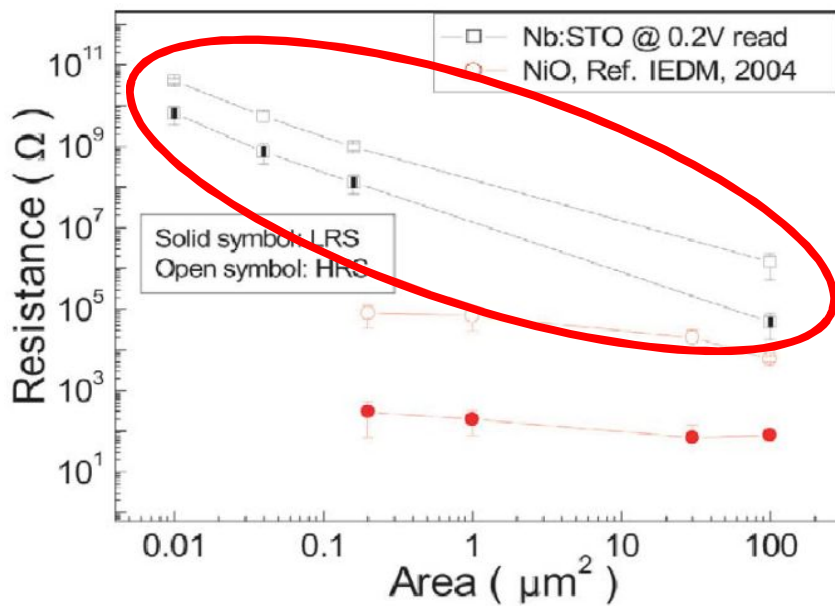


Fig. 2-3 Resistance dependent of area in Nb:STO single crystal and NiO thin film ReRAM system

2.2.1 ion의 electro-chemical migration에 의한 저항 변화 메커니즘

전이 금속 산화물 내에서 electro-chemical migration에 의해 이온이 이동하고, 이로 인한 계면에서의 저항변화는 2005년에 A.Sawa가 발표한 리뷰논문에 정리되었다. 이 논문에 따르면 전이금속 산화물과 금속 간에 나타나는 저항변화의 이유를 계면부근에서의 산소공공 이동으로 설명하고 있다. 그 동안의 연구결과에 따르면 전이금속 산화물 내에서 oxygen vacancy가 많이 존재하며, 특히 다른 이온에 비해 mobility가 매우 높다고 알려져 있다. 그리고 STO에 가해진 전기장에 따라 직접 산소공공이 이동한다는 사실 역시 확인되었다.[7] 이러한 맥락을 따라 논문에서는 가해진 전압의 극성에 따라 oxygen vacancy의 움직임 방향이 결정되며, 계면부근의 oxygen vacancy 분포에 따라 포텐셜 장벽의 높이 또는 너비가 변하게 된다고 한다. 예를 들면, Ti/PCMO/SRO 소자의 경우 oxygen vacancy가 가해진 전압에 따라 Ti와 PCMO 계면에서 이동하며, 그에 따라서 포텐셜 장벽의 depletion layer의 두께가 달라진다고 설명한다. 그리고 얇거나 또는 두꺼워진 depletion layer에 의해 전체 저항의 변화가 일어난다고 한다. 그에 따른 근거로 전이금속 산화물을 높은 산소 분위기에서 열처리 하였을 경우 oxygen vacancy가 사라지기 때문에 저항변화가 일어나지 않는다고 언급한다. 다른 연구그룹에 의해 진행된 연구 역시 이와 같이 oxygen vacancy의 움직임에 따른 계면 내의 포텐셜 장벽 변화로 이러한 현상을 설명하고자 하고 있다. 이러한 노력 중 하나는 시뮬레이션을 통한 직접적인 저항변화의 측정에 관한 논문들이다. Dmitri B. Strukov가 연속적으로 발표한 논문들에 따르면 시뮬레이션 내에서 가해진 전압의 극성에 따라 oxygen vacancy의 이동하고, 그에 따른 포텐셜 장벽의 변화와 저항

변화를 확인할 수 있었다. [16][15] 그리고 이 결과는 $\text{Pt}/\text{TiO}_2/\text{TiO}_{2-x}/\text{Pt}$ 와 같은 실제 실험과 매우 유사한 저항변화 모습을 보이는 것을 확인하였다.

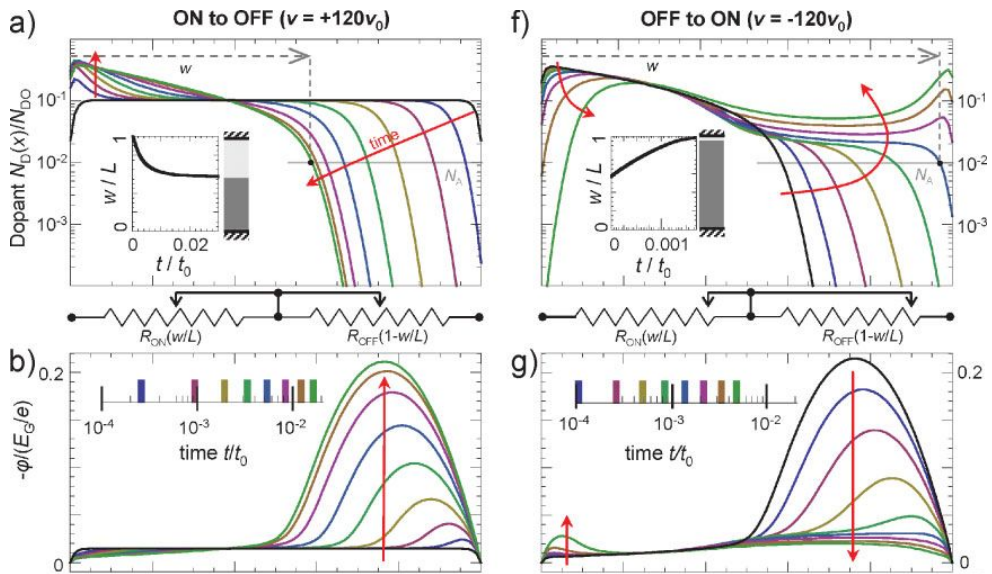


Fig. 2-4 (Left) Donor distribution and potential simulation for set process. (Right) and reset process

2.2.2 charge defect trap/detrapping에 의한 포텐셜 장벽 변화 메커니즘

defect와 같은 trap site 내에 전자가 trap/detrapping 되는 과정이 저항변화를 유도할 수도 있는데 이를 포텐셜 장벽의 변화로 연관지어 설명하기도 한다. [12][14] 따라서 bulk 영역이 아닌 interface defect내의 trap/detrapping 현상을 주된 요인으로 꼽는다. n-type 반도체인 Nb:STO 경우 Pt와 같은 일함수가 큰 금속과의 접촉에서 포텐셜 장벽을 한다. 한편 Nb:STO의 경우 상온, 상압의 표면에서 oxygen vacancy가 많이 존재한다는 것은 이미 밝혀져 있다. 따라서 이러한 oxygen vacancy가 금속과의 계면에도 많이 존재한다는 것을 예상할 수 있다. 그리고 oxygen vacancy는 n-type 반도체에서 donor로 작용함에 따라 carrier인 전자를 주고 positive charge를 띠게 된다. 즉 이를 이용해 저항변화를 설명하면 다음과 같다. - 전압을 금속에 가해줄 경우 oxygen vacancy에 전자가 trap되며 양성인 oxygen vacancy가 중성을 띠게 된다. 이 경우 포텐셜 장벽이 높아지거나 두꺼워지고 따라서 저항 역시 커지게 된다. 반면 + 전압을 가해줄 경우 계면의 oxygen vacancy에 전자가 detrapping되면서 중성 oxygen vacancy가 양성을 띠게 되며 앞의 경우와는 반대로 포텐셜 장벽이 낮거나 얇아지게 된다. 즉 계면에서 금속과 STO 사이를 오가는 전자에 의해 oxygen vacancy의 charge가 변하며 이에 따라 포텐셜 장벽의 변화가 저항변화가 주된 요인이라 할 수 있다.

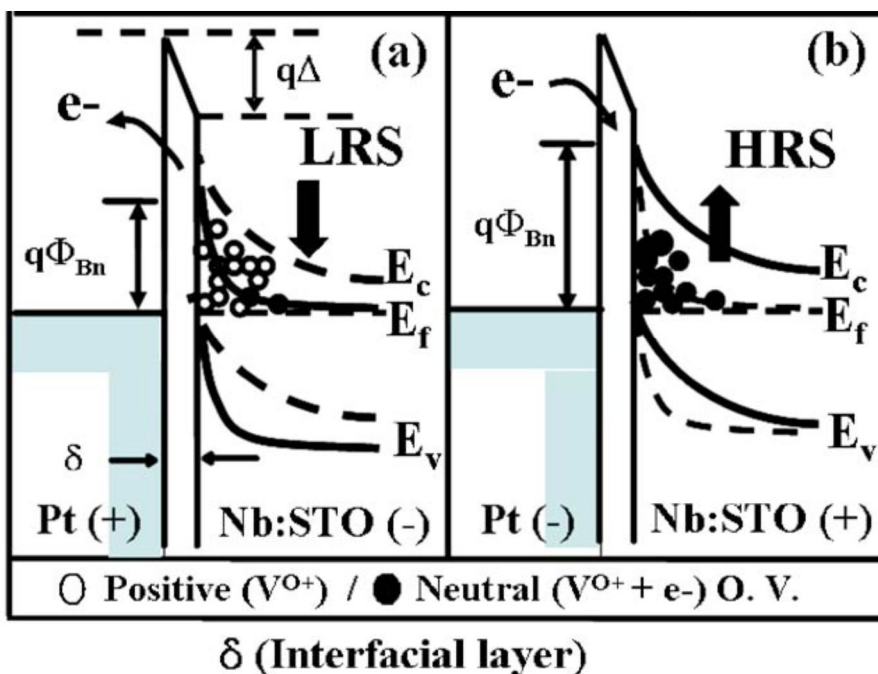


Fig. 2-5 (Left) Potential barrier lowered by charge detrap from the oxygen vacancy. (Right) Potential barrier increased by trap at oxygen vacancy

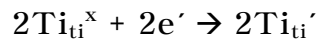
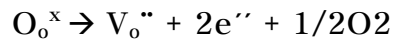
2.2.3 tunneling path 형성에 따른 저항변화

Trap site 내의 trap/detrapping 과정으로 저항변화를 설명하는 또 다른 연구가 있다. 이는 금속과 STO 사이의 주된 conduction이 포텐셜 장벽을 통과하는 tunneling에 의한 것이라고 가정한다. [4] 이는 STO내에 도핑 농도에 의해 변하는 저항변화의 모습으로 설명할 수 있는데 도핑 농도가 높거나 작을 경우 저항변화의 모습이 작아지는 이유가 tunneling current가 저항변화를 결정하는 주된 요인이라 하였다. 이러한 가정을 기초로 또 다른 실험인 SRO / La:STO / Nb:STO나 SRO/STO/Nb:STO 역시 마찬가지로 설명할 수 있다. La가 도핑이 많이 된 La:STO에 의해 처음 실험을 current가 매우 높고 저항변화가 일어나지 않으며, 두 번째 실험에서는 도핑이 안 된 STO에 의해 current가 낮고 저항변화는 역시 일어나지 않는다. 따라서 저항변화는 적당한 tunneling current에서만 일어나며 tunneling이 주된 저항변화의 원인이라고 하였다. 저항변화는 다음의 단계에 의해 일어난다. 높은 + 전압을 가해줄 경우 포텐셜 장벽 내의 trap site에서 전자가 detrapping되거나 oxygen ion이 interface layer로 이동한다. 이 경우 Nb:STO 계면에서의 oxygen vacancy로부터 tunneling 경로가 형성되며 이를 통해 낮은 전압에서도 resonant tunneling에 의한 낮은 저항이 형성되게 된다. 즉, 이는 HRS에서 LRS로 변하는 과정이다. 반대로 높은 - 전압에서는 trap site 내에 전자가 trap되거나 oxygen vacancy가 사라지는데 이로 인해 기존의 resonant tunneling 경로가 막히고 따라서 전자의 tunneling을 막아 저항이 높아지게 된다. 이 경우는 다시 HRS가 된다.

2.3 STO의 구조와 전기적 특성

2.3.1 STO의 전기적 특성

전이금속 산화물은 소자로 사용하였을 경우 나타나는 여러 특성들 때문에 최근 들어 활발히 연구되고 있다. 특히 현재 ReRAM 소자뿐만 아니라 ferroelectric, dielectric 재료로써 다양한 응용이 가능한 perovskite 구조를 갖는 삼성분계 전이금속에 대해 전기적, 물리적 특성이 많이 연구되고 있다. STO는 상대적으로 안정하고, perovskite 구조를 갖는 다른 재료와 접합하는데 유용한 격자상수를 갖고 있기 때문에 그 중에서도 대표적 모델 재료로써 널리 연구되고 있으며, 이미 여러 논문에서 ReRAM 소자로서 사용되고 있다. STO가 갖고 있는 이상적인 perovskite 구조는 body centered에 Ti, corner centered에 Sr, face centered에 O가 위치한 cubic 구조이다. 하지만 이상적인 perovskite 구조와는 다르게 보통 STO는 상온, 상압에서 아래의 반응식을 통해 oxygen vacancy defect를 형성한다. 중성의 Oxygen vacancy에서 전자가 빠져나가며 2가 양의 oxygen vacancy가 형성되고, 여분의 2개의 전자 역시 형성된다. 이때 이 두 개의 전자는 n-type으로 conduction band로 여기되며 STO의 경우 주변 이러한 oxygen vacancy와 Ti와의 coupling에 의해 Ti^{4+} 가 Ti^{3+} 로 변하는 valence state의 변화가 일어난다.



따라서 oxygen vacancy에 의해 2가 양이온인 oxygen vacancy와 3가 양이온인 Ti ion이 형성함에 따라 STO의 전기적 특성은

ideal case에서 벗어나 새로운 특성을 갖게 된다.

그 동안 이러한 oxygen vacancy를 통해 STO가 갖고 있는 전기적 특성을 설명하고자 많은 노력이 있어왔다. 일련의 예로 STO crystal에 가해진 전압에 따라 원자 및 전자 단위에서 재료의 특성이 변하는 현상을 관찰한 논문이 있다. 이 논문에서 STO에 각각 서로 다른 극성의 전압을 가해진 결과 Ti의 valence state가 변하는 것을 확인하였다. 이러한 이유는 전기장을 가했을 경우 기존 위치에 있던 oxygen vacancy들의 재배치가 일어나고 이에 따라 Ti의 valence state가 변하기 때문이다. [7]

oxygen vacancy의 역할에 대해 알아보기 위해 또 다른 논문에서는 각각의 서로 다른 열처리를 통해 STO의 특성이 어떻게 변하는지를 확인하였다. 열처리 할 때의 온도, 가해진 기체의 종류와 압력에 따라 Pt와의 접합에서 포텐셜 장벽의 크기가 다름을 확인되었다. 이러한 이유는 가해진 기체의 종류나 온도, 압력에 따라 STO내의 oxygen vacancy이 형성되는 정도가 다르며, 이에 의해 접합의 계면 인근에서 STO의 전자구조 및 계면상태가 변하고, 그에 따라 포텐셜 장벽이 결정되기 때문이라고 예측한다. [13]

Material	Φ_B/eV	Technique	Treatment	Ref.
<i>p</i> -SrTiO ₃	1.1	<i>IV</i>		5
<i>p</i> -(Ba, Sr)TiO ₃	1.0–1.2	<i>IV</i>	ann	10
<i>p</i> -(Ba, Sr)TiO ₃	1.4	<i>IV</i>	O ₂	11
epi-SrTiO ₃	1.04	<i>IV, CV</i>	O ₂	12
<i>p</i> -(Ba, Sr)TiO ₃	0.51–0.73	<i>IV, CV</i>	dep	13
<i>p</i> -(Ba, Sr)TiO ₃	1.05–1.27	<i>IV</i>	O ₂	14
<i>p</i> -(Ba, Sr)TiO ₃	1.5–1.6	<i>IV, CV</i>	N ₂	15
<i>p</i> -SrTiO ₃	0.9–1.3	<i>IV</i>	dep	16
<i>p</i> -(Ba, Sr)TiO ₃	0.67/1.29	<i>IV</i>	dep/O ₂	6
<i>p</i> -(Ba, Sr)TiO ₃	0.6/1.0	<i>IV, CV</i>	H ₂ /O ₂	17
<i>p</i> -(Ba, Sr)TiO ₃	0.67/1.05	<i>IV</i>	dep/O ₂	18
<i>c</i> -BaTiO ₃	0.59/0.9–1.2	<i>IV, CV</i>	dep/O ₂	19
sc-SrTiO ₃	0.6	PES	dep	20
sc-SrTiO ₃	0.4	PES	dep	21
sc-SrTiO ₃	0.89	Theory		22
sc-BaTiO ₃	2.19	Theory		23

Table. 2-1 Potential barrier height depending on heat or gas condition at Pt/Nb:STO or Pt/Ba:STO

3. 실험방법

3.1 소자의 제작

0.5% Nb doped 된 (001) 단결정 STO 기판에 일함수가 큰 Pt를 상부전극, 일함수가 작은 Ti를 하부전극으로 증착하였다. Ti를 상부전극, 하부전극 모두로 사용하였을 때 전체 소자의 전기적 특성이 Ohmic 접합의 모습을 보인다는 것과 저항변화가 발생되지 않음을 확인하였고, 따라서 Pt/Nb:STO/Ti ReRAM 소자에서 Schottky 접합인 Pt와 Nb:STO에서 저항변화가 일어남을 예상할 수 있다. 상부전극인 Pt를 증착 시 전기측정을 위해 각 cell의 크기가 $8100\mu\text{m}^2$ 인 금속 마스크를 이용해 증착을 하였고, 이는 optical microscopy로 확인되었다. 각각 전극의 두께는 Pt 50nm, Ti 50nm씩 증착하였다.

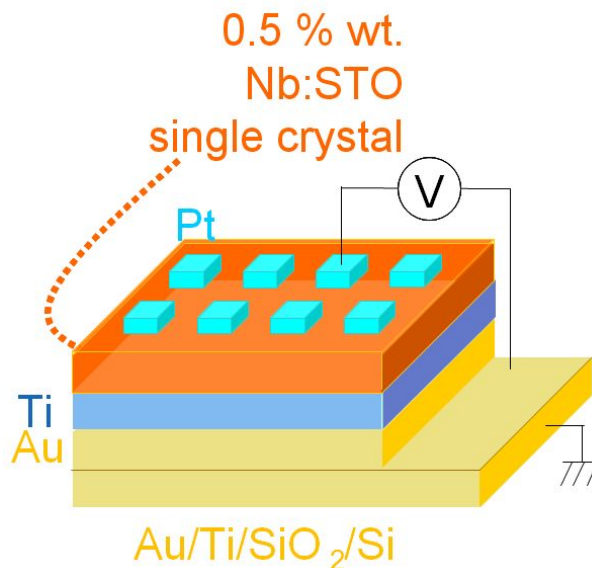


Fig. 2-7 (Left) Pt/Nb:STO/Ti/Au ReRAM system (Right) Pt/Nb:STO/Ti ReRAM system

3.2 전기적 특성 측정

I-V 측정은 Keithley 2400 semiconductor system 을 이용하였다. 전압은 $0V \rightarrow +2V \rightarrow 0V \rightarrow -2V \rightarrow 0V$ 순서로 가했으며, 그를 통해 양 극성에서의 저항변화를 확인할 수 있었다. 샘플의 저항상태를 각각 LRS, HRS로 만들기 위해, LRS의 경우 $0V \rightarrow +2V \rightarrow 0V$ 전압을 반복적으로 주었으며, 반대로 HRS는 $0V \rightarrow -2V \rightarrow 0V$ 를 가하였다. Retention 확인을 위한 실험은 같은 장비로 진행되었다. 두 가지 실험방법을 통해 진행되었는데 첫 번째는 시간에 따른 연속적인 저항 값을 측정해보았으며, 두 번째는 각각 만들어진 HRS, LRS 샘플을 특정 시간이 지난 후 음극의 전압을 가해 기존의 I-V와 비교하여 어떠한 저항 값을 갖는지 확인해보는 방법을 이용하였다. 시간에 따른 연속적인 저항 값을 측정할 때 read voltage를 $-0.05V$ 로 하여 외부의 자극을 최소화 하고자 하였다.

3.3 TEM 샘플의 준비

단결정 STO 위에 Pt가 증착된 경우 Pt와 기판 사이의 접착력이 좋지 않기 때문에 TEM sample 준비과정에서 자주 떨어지는 경우가 많다. 특히 직접 손으로 샘플링을 할 경우 이러한 현상은 매우 심하며, 또한 각 저항상태에 따른 샘플 영역의 크기가 사람의 시각으로 판단하기엔 매우 작기 때문에 focused ion beam(FIB)을 이용해 TEM sample을 제작하였다. FIB로 TEM sample을 만드는 과정 내에 fine milling 단계에서 Pt/Nb:STO 사이의 계면에서 milling에 의한 손상이 종종 나타나는데 이러한 점을 최소화하고자 fine milling 작업은 nano mill을 이용하여 진행하였다. Nano mill 장비는 30kV

의 Ga ion을 주 소스로 쓰는 FIB에 비해 Ar ion을 1kV 이내에서 사용할 수 있기 때문에 FIB 샘플의 마지막 milling 단계로 매우 적합하다. 두께에 따라서는 FIB를 이용해 두께 130~50nm 샘플을 만든 후 수십 nm에 이르기까지 나머지 두께에 대해서는 nano mill의 작업을 통하여 최종적인 샘플을 제작하였다.

3.4 TEM 실험

TEM은 원자 단위의 분해능을 갖고 있는 분석장비로 계면의 상태를 관찰하는데 있어 매우 유용한 장비 중 하나이다. 분석은 High resolution(HR)-TEM, STEM), EELS를 통해 이루어졌다. HR-TEM의 경우 계면에서의 고배율 이미지를 이용하며, 이를 바탕으로 계면에서 새로운 층의 형성이나 다른 구조의 형성 등을 확인할 수 있다. STEM은 원자번호에 따라 이미지 내에서 intensity가 차이가 나는 특성이 있어 계면에서의 원자 분포를 확인하는데 매우 유용하다. 또한 이러한 특성을 이용해 계면에서의 새로운 층의 확인을 할 경우에도 사용된다. STEM-EELS는 STEM을 통해 시편을 통과한 전자의 에너지를 분석하는 것으로서 원자의 분포뿐 아니라 각 원자 column의 전자구조 확인을 통해 화학적 결합을 알 수 있다. 따라서 STEM-EELS는 계면에서 각 원자가 어떠한 특성과 결합을 갖고 있는지 확인하기에 적합하다. 실험의 순서는 가장 먼저 HR-TEM을 통해 각 샘플 및 저항상태에 따른 계면의 구조변화를 확인해보고, STEM을 통해 대략적인 원자분포를 확인해보며, 마지막으로 EELS를 통해 STO 내의 oxygen ion의 분포 및 각 원자의 전자구조를 확인해 보고자 하였다

4. 실험결과

4.1 전기적 특성

4.1.1 I-V curve 측정과 저항변화

I-V curve 측정 결과 모든 샘플에서 저항변화가 일어났음을 확인할 수 있다. Nb:STO/Ti에서 저항변화가 없고 Ohmic junction임을 미리 확인하였으므로 저항 변화는 Pt/Nb:STO의 계면에서 나타나는 특성이라고 할 수 있다. Pt에 + 극을 가했을 때 onset(HRS→LRS)이 일어나고 반대로 - 극에서 offset (LRS→HRS)가 나타난다. -0.5 read 전압 에서 on/off ratio(HRS/LRS ratio)가 10^4 에 이름을 확인할 수 있으며 뿐만 아니라 1V보다 2V에서 저항변화의 차이가 커짐을 관찰하였다. 한편 3V이상에서는 소자가 파괴되는 모습이 관찰되므로 compliance current와 voltage 각각을 주의하여 실험하여야 했다. Nb의 도핑농도가 $10^{20}/\text{cm}^3$ 에 이르고 이는 Si와 비교해 보았을 때 금속과의 접합에서 Ohmic 접합을 형성할 것이라 예상하였지만 실제로 전반적인 I-V curve를 보면 포텐셜 장벽이 형성된 Schottky 접합임을 확인하였다. 여러 논문에서는 STO와 다른 여러 금속과의 접합들 중에서 rectifying 특성이 나타날 때만 저항변화가 나타남을 보고하고 있으므로 Pt/Nb:STO 계면에서의 포텐셜 장벽이 저항변화의 주된 원인이라고 할 수 있다. [11][12]

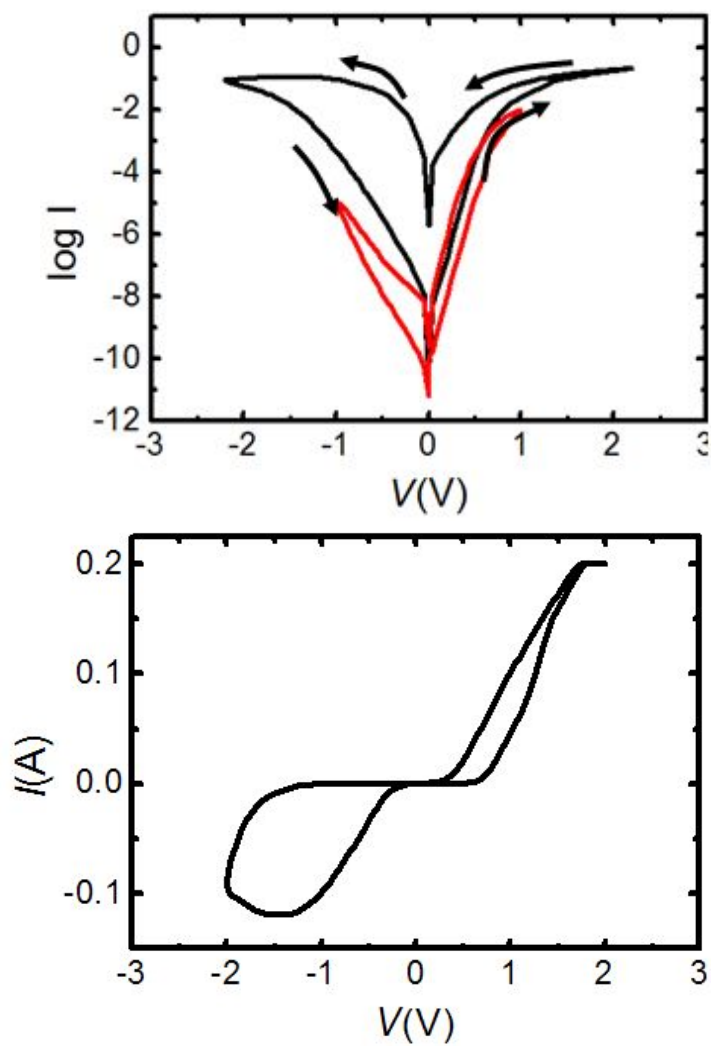


Fig. 4-1 (Top) $\log I$ - V curve for applying 1V and 2V.
(Bottom) I - V curve

4.1.2 이론적 포텐셜 장벽 계산

I-V curve에서 전반적인 전류 레벨을 보았을 때 예상과는 다르게 Ohmic 접합이 아닌 Schottky 접합을 하고 있었다. 따라서 Schottky 접합 내 포텐셜 장벽이 전체 소자의 저항을 결정하는 중요한 요인이 되리란 것을 알 수 있다. 포텐셜 장벽에 의해 전류가 결정되는 전도 메커니즘에는 thermionic 메커니즘과 drift-diffusion 메커니즘이 있으며 각각에 대해 실험에서의 포텐셜 장벽의 높이를 확인하였다.

Thermionic 메커니즘은 소자의 전체 전도현상이 포텐셜 장벽의 높이를 넘는 carrier에 의해서만 지배될 때 나타나는 현상이다. 이 경우 일반적인 일함수가 큰 금속과 n-type 반도체 간의 접합에서 thermionic conduction에 의한 전류의 값은 다음 식을 통해 계산할 수 있다.

$$J_{ther} = A^* T^2 \exp\left(\frac{-q\Phi_B}{K_B T}\right) \exp\left(\frac{-qV}{nK_B T}\right)$$

위 식은 여러 가정, 첫째 포텐셜 장벽 높이가 kT 보다 훨씬 크며, 둘째 계면에서 열적 평형이 이뤄지며, 마지막으로 총 전류의 흐름은 평형에 영향을 주지 못함에 기반하였으며, 이는 우리 실험에서도 가정할 수 있다. 위 식을 변형하여, $\log J$ -V 그래프에서 y축 절편이 포텐셜 장벽 높이인 Φ_B 이고, 그래프의 기울기는 ideality n 과 관계 있음을 알 수 있다. 이를 이용해 각 샘플의 저항상태 별 Φ_B 와 n 을 구하였다. [17]

한편, 포텐셜 장벽 내에서 전자의 흐름은 drift-diffusion 메커니즘에 의해 결정될 수도 있다. 이는 장벽에서의 carrier 전도가 포텐셜 장벽 전반의 포텐셜에 의해 지배된다. drift-diffusion 메커니즘은 non-degenerated 반도체를 가정하고 도출된 식이지만 STO와

같이 Si에 비해 전자의 이동도가 매우 작기 때문에 이에 대해서도 같은 방법으로 고려해 볼 수 있다. drift-diffusion conduction의 이론적인 current density는 다음과 같다.

$$J_n = qN_c D_n \left[\exp\left(\frac{qV}{kT}\right) - 1 \right] / \int_0^W \exp\left[-\frac{qV(x)}{kT}\right] dx$$

이 식은 기존 thermionic 메커니즘과 동일한 가정과 계산을 통해 다음 식으로 도출된다.

$$J_n = q\mu_n \varepsilon_{max} N_c \exp\left(\frac{-q\Phi_B}{K_B T}\right) \exp\left(\frac{-qV}{K_B T} - 1\right)$$

식을 통해 앞에서 계산한 바와 thermionic 메커니즘을 이용해 포텐셜 장벽을 계산한 것과 동일하게 사용한 방법과 동일한 방법을 통해 포텐셜 장벽의 높이를 계산해 볼 수 있다.

	LRS		HRS	
	Φ_B (eV)	n	Φ_B (eV)	n
Φ_B (thermionic)	0.418	3.63	0.693	1.491
Φ_B (drift-diffusion)	0.506		0.740	

Table 4-1. Potential barrier height and ideality for LRS and HRS by thermionic conduction and drift-diffusion conduction

간단한 계산을 통해 이러한 포텐셜 장벽의 높이가 얼마나 타당한 값인지 확인해 볼 수 있다. 실험에서와 측정된 것처럼 포텐셜 장벽보다 더 높은 전압에서의 전류 값은 다음과 같이 가해진 전압에서 포텐셜 장벽의 높이를 뺀 만큼의 전위차에 의해 전류 값이 결정된다. 따라서 1V에서 LRS와 HRS의 전류 값의 차이는 0.582V와 0.307V의 Ohmic 전도 전류의 차이이다. Ti/Nb:STO를 통해 Ohmic 전도에서의 전압과 전류의 관계를 알 수 있으며, 이를 위 전위차에 직접 대입하였다. 그 결과 계산에 의해 예측된 1V에서 각 저항상태 별 전류 값의 차이는 0.0440A이다. 실제 Pt/Nb:STO 소자에서의 1V에 의한 저항 상태 별 전류 값의 차이는 0.0436A로 계산 값과 거의 동일함을 확인하였다. 따라서 I-V을 통해 구한 포텐셜 장벽의 높이가 실제 매우 타당한 값을 입증할 수 있다.

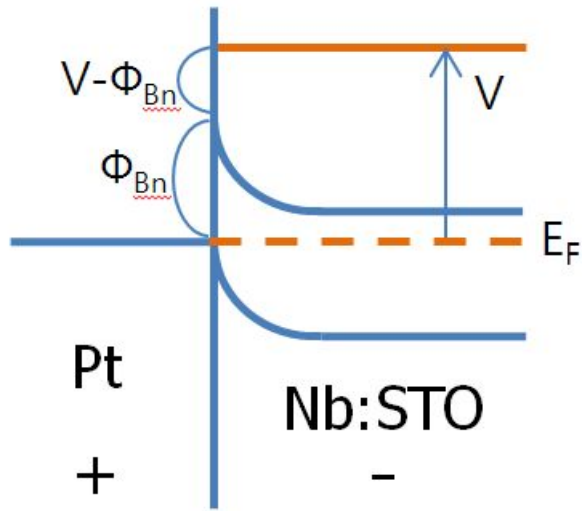


Fig. 4-2 conduction mechanism for Pt/Nb:STO Schottky junction in case of high applying voltage

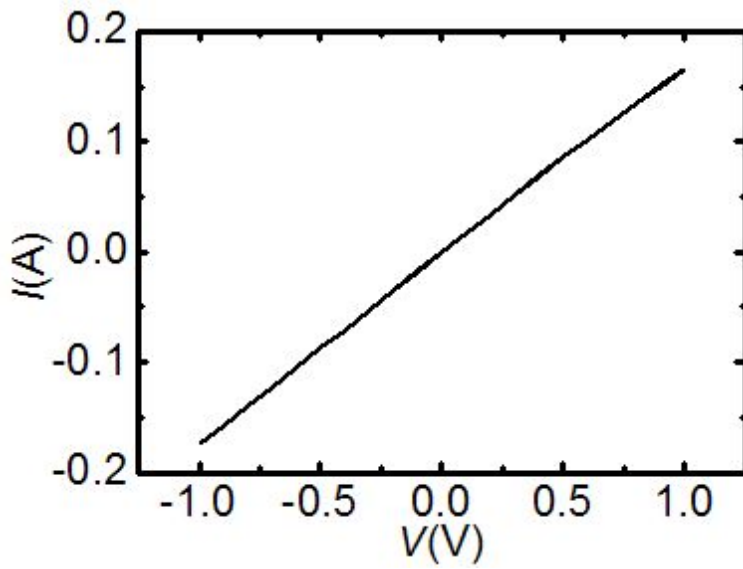


Fig. 4-3 Ti/Nb:STO Ohmic conduction I-V curve

4.1.3 retention의 확인

비휘발성 메모리의 경우 저항상태가 계속 유지되는 속성인 긴 retention time을 갖는 것이 중요하다. 또한 TEM 실험을 하기 위한 샘플링 과정이 오래 걸리기 때문에 retention time에 아는 것은 매우 중요하다. Retention은 기존 장비를 이용하여 측정하였다. 총 두 가지 방법으로 측정하였는데 첫 번째는 시간에 따라 연속적인 저항을 측정함으로써 retention을 확인하였고, 두 번째 방법은 특정 저항상태를 만든 다음 일정 시간이 지난 후에 저항상태를 확인하는 방법으로 진행하였다. 첫 번째 실험 결과 우선 측정초기의 전류 값을 통해 각각의 저항상태가 만들어 졌음을 확인할 수 있다. [10] 하지만 시간이 갈수록 HRS의 경우 저항 값이 낮아지고, LRS의 경우 저항 값이 커짐을 확인할 수 있다. 이에 대해 read 전압인 $-0.05V$ 에 의해 이온이나 전자의 움직임이 형성되고 그에 따라 저항상태가 변하고 있음을 생각해 볼 수도 있다. 또한 이러한 방법으로는 긴 시간 동안 저항을 연속적으로 측정하기 어렵기 때문에 다음 방법을 이용해 read 전압의 영향을 제거하고, 긴 시간에서의 retention을 확인하였다.

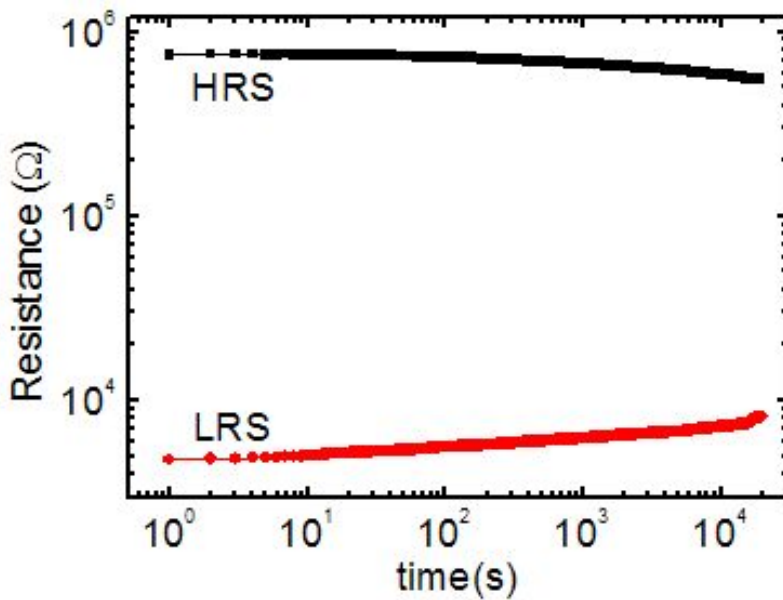


Fig. 4-2 Continuous resistance measurement for LRS, HRS

두 번째 방법은 특정 cell에 각각 + 또는 - 극을 가해줘 LRS 또는 HRS를 만든 후 -극에서의 I-V curve 확인을 통해 저항상태의 변화를 확인하는 법이다. 일정 시간 마다 측정한 그래프는 다음과 같다. 다수 cell에서 각 저항상태가 오랜 시간 동안 유지됨을 확인할 수 있었으나 일부 cell에서는 저항상태가 긴 시간 동안 유지되지 않거나 또는 측정도중에 저항상태가 계속 변함을 확인할 수 있다

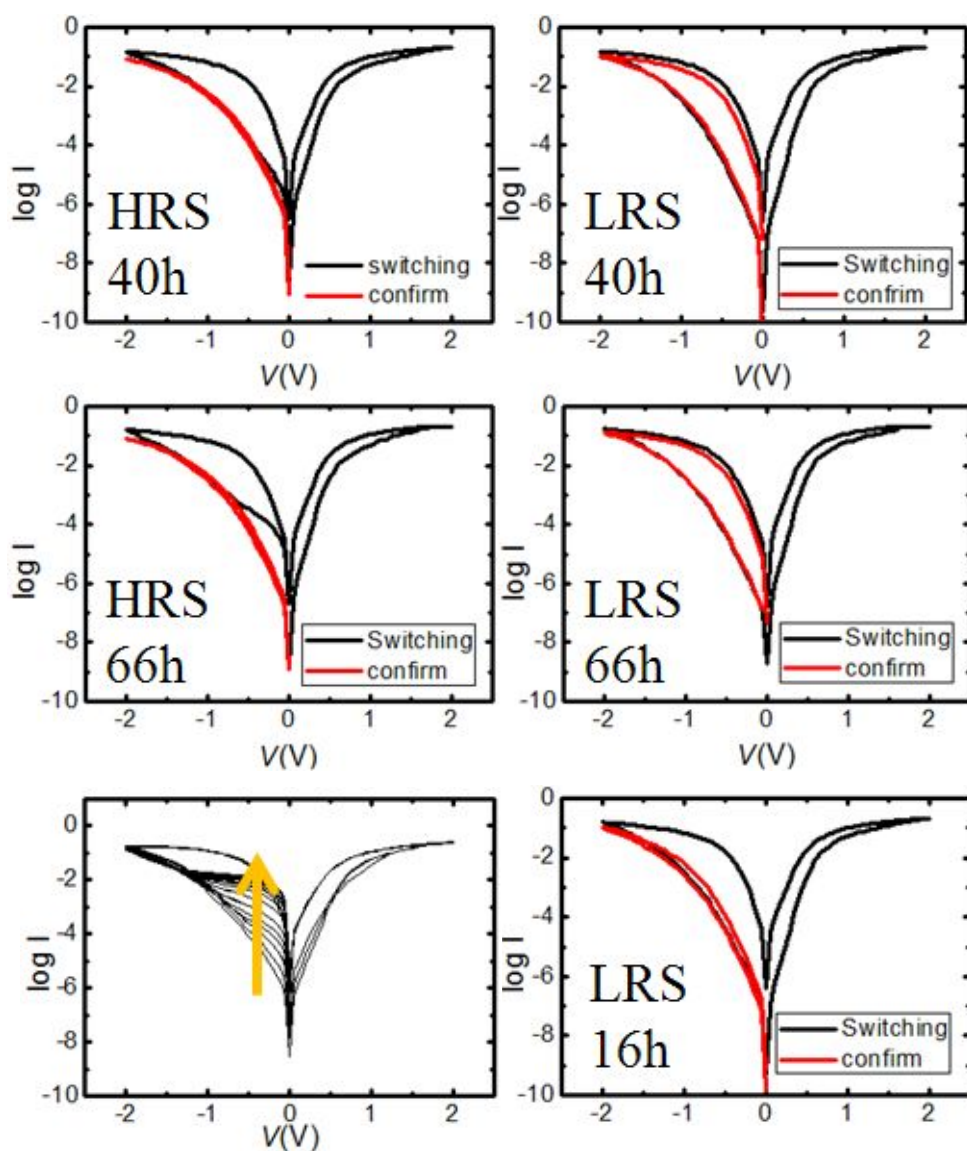


Fig. 4-3 (Top)(Middle) retention confirmation after specific time. (Bottom) resistance state changes from HRS to LRS and from LRS to HRS at dependent on cells.

4.2 TEM을 이용한 저항변화 원인 연구

4.2.1 저항 상태별 High resolution image 분석

HRS와 LRS 각 샘플에 대해 normal TEM의 HR-image, STEM을 통해 분석하였다. 확인 결과 각 저항상태 별로 계면에서의 화학적 반응층의 변화나 새로운 구조의 형성을 HR-TEM, STEM 모두로 확인할 수 없었다. 따라서 이미지 상으로는 저항상태 별 계면에서의 차이를 확인할 수 없기 때문에, STEM-EELS 분석을 통하여 다음 실험을 진행하였다.

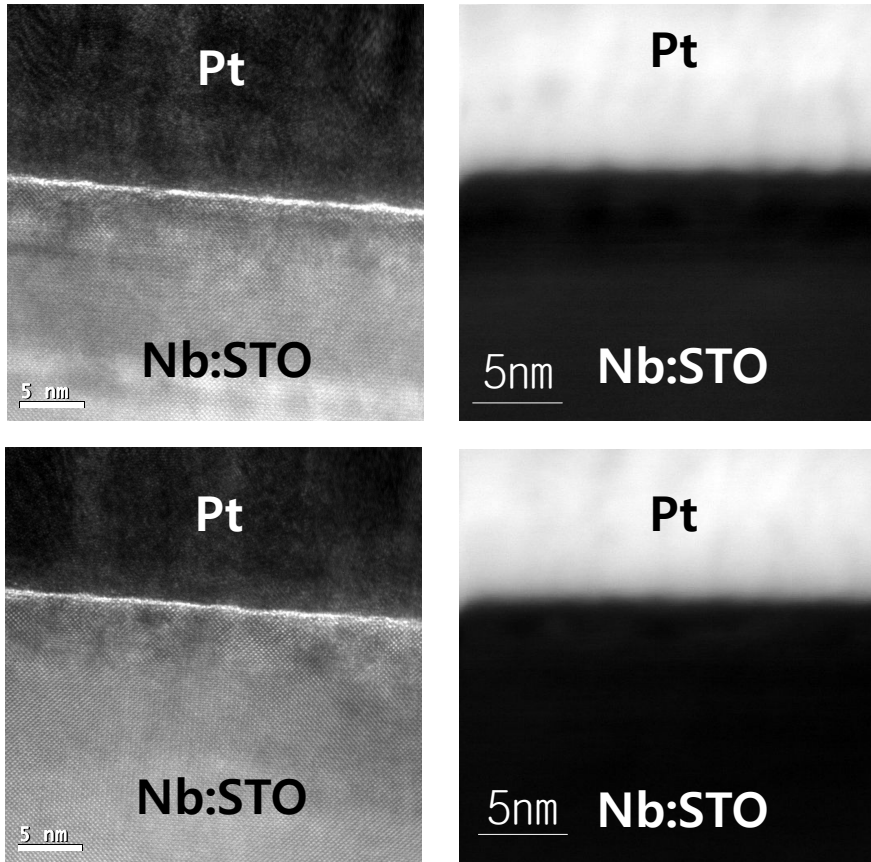


Fig. 4-7(Top) LRS (Bottom)HRS HR-TEM, STEM image

4.2.2 각 저항 상태별 STEM-EELS 분석

STEM-EELS를 통해 각 샘플 계면의 전자구조를 확인할 수 있다. 수 nm의 미세한 영역에서 차이가 발생할 것이라 예상하기 때문에 매우 높은 고배율에서 실험을 진행하였다. 계면과 bulk 영역에서의 차이점을 관찰할 수 있어야 하므로 Pt/Nb:STO의 계면을 가로지르는 line-profile 방법을 통해 EELS 실험을 하였다.

고배율 STEM-image에서는 HRS 샘플과 LRS 샘플간의 차이를 확인할 수 없으며 또한 계면에서 bulk와는 다른 특정한 모습을 찾아볼 수 없었다. 하지만 EELS 결과는 HRS 샘플의 계면에서 LRS에 비해 더 많은 oxygen vacancy가 있음을 나타냈다. 이는 앞에서 본 HR-image 실험에서 확인한 HRS 계면에서의 일정하지 못한 구조의 모습이 oxygen vacancy에 의한 것임을 확인할 수 있었다. oxygen vacancy가 많은 STO에서는 Ti L-edge내의 L2, L3 peak에서 orbital splitting가 나타나지 않았으며 이는 oxygen vacancy에 의해 Ti^{3+} 로 valence state가 변함을 의미한다. 반면 oxygen vacancy가 적을 경우 상대적으로 분명한 L2, L3 peak에서의 splitting를 갖고 있는데 이는 oxygen이 STO 내에서 대부분 결합되어있어 Ti^{4+} valence state를 유지하기 때문이라 한다. 마찬가지로 oxygen vacancy가 많은 경우 O-K edge에서 각 peak들이 뭉개지는 모습을 볼 수 있고, 반면에 적을 경우 각 peak들이 뚜렷한 모습을 갖고 있다. 이에 따라 HRS 샘플에서는 계면으로부터 3nm 정도의 영역에서 oxygen vacancy가 bulk 영역에 비해 많음을 확인할 수 있었으며, LRS 샘플에서는 계면에서 oxygen vacancy가 HRS에 비해 매우 적음을 확인하였다. 한편 이러한 oxygen vacancy의 양에 대해서는 기존 논문과의 그래프 모양 비교를 통해 확인할 수 있다. [2] 이에 따르면 HRS에서의 oxygen vacancy의

양은 8%에 이름을 알 수 있다. 즉 HRS 샘플은 계면으로부터 3nm 아래 영역까지 8% 정도의 oxygen vacancy가 모여있음 EELS를 통해 확인하였다. 이러한 모습은 LRS일 때 Pt의 + 전압에 의해 O^{2-} 가 계면 쪽으로 이동하며, 반대로 HRS의 경우 - 전압에 의해 O^{2-} 가 계면으로부터 멀어지기 때문에 oxygen vacancy가 계면에서 많이 나타날 것이기 때문이라 판단된다. 이와 같은 각 전압에 따른 oxygen vacancy 이동현상은 기존 논문과 동일한 현상이다. [7]

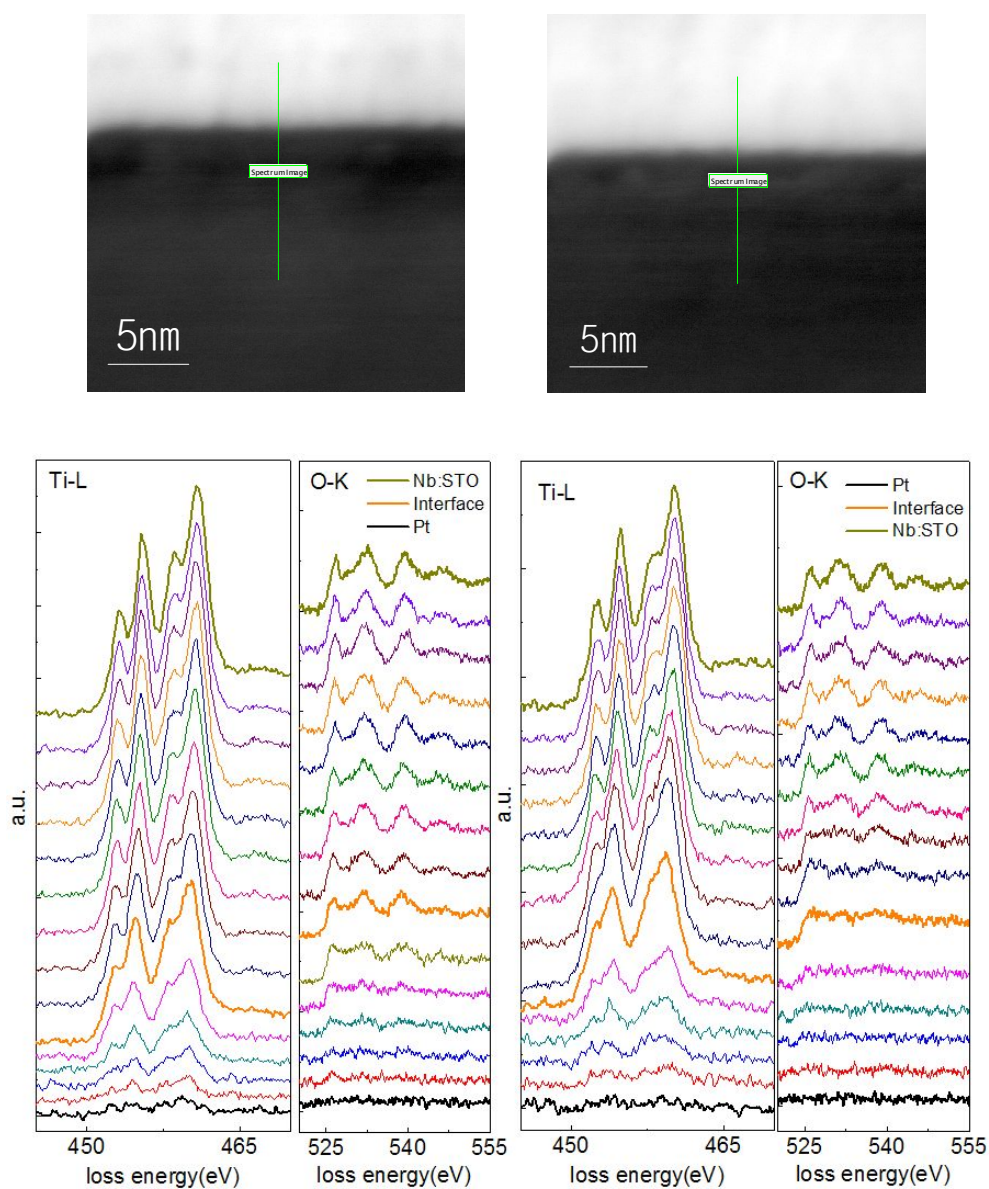


Fig. 4-8 (Left) STEM-image and Ti-L edge, O-K edge EELS line profile of LRS interface. (Right) STEM-image and EELS line profile of HRS interface.

4.3 Pt/Nb:STO의 저항변화 원인 모색

4.3.1 직렬연결 저항체의 저항변화 모델

실험에서 확인한 바에 따르면 두 샘플 모두 계면부근에서 새로운 구조의 형성이나 화학적 결합이 일어나지 않았으나 HRS 샘플이 LRS 샘플에 비해 계면부근 수 nm 영역에서 oxygen vacancy가 더 많음을 확인할 수 있었다. 그에 기반해서 여러 가지 저항변화 원인을 생각해 볼 수 있다. 우선 우리의 실험결과와 동일한 결과를 예측한 논문을 이용해 저항변화의 원인을 생각해 보았다. Muenstermann, et al 논문에서는 Fe가 도핑된 STO 박막의 ReRAM 소자에서 HRS가 계면부근에서 oxygen vacancy가 더 많이 있을 것이라고 예상하였다. [8] 이에 따르면 전극의 - 전압에 의해 STO 내의 oxygen vacancy가 전극으로 이동하게 되며 상대적으로 아래 영역은 oxygen vacancy가 적은 stoichiometry가 만족하게 된다. STO의 경우 oxygen vacancy는 donor와 같은 역할을 하기 때문에 oxygen vacancy가 적은 STO 박막의 아래 영역은 부도체와 같은 역할을 하며 이로 인해 전체 소자의 저항이 커지게 된다고 설명한다. 반대로 LRS의 경우 전극에 물려있던 oxygen vacancy가 다시 아래로 이동하게 되며 부도체 영역이 전도성을 갖는 영역으로 바뀌기 때문에 전체 소자의 저항이 작아진다고 한다. 즉 이는 박막을 한 직렬저항소자로 생각하며 그 박막 내에서 부도체 영역이 생기고 사라짐에 따라 저항이 변한다고 주장한다. 이를 우리의 실험결과와 연관 지어 생각해 보았다. 우선 계산에 앞서 실험 결과를 바탕으로 가능한 모델을 세워 보았다. (Fig. 4-10)

(e) MIM Structure Homogeneous Switching

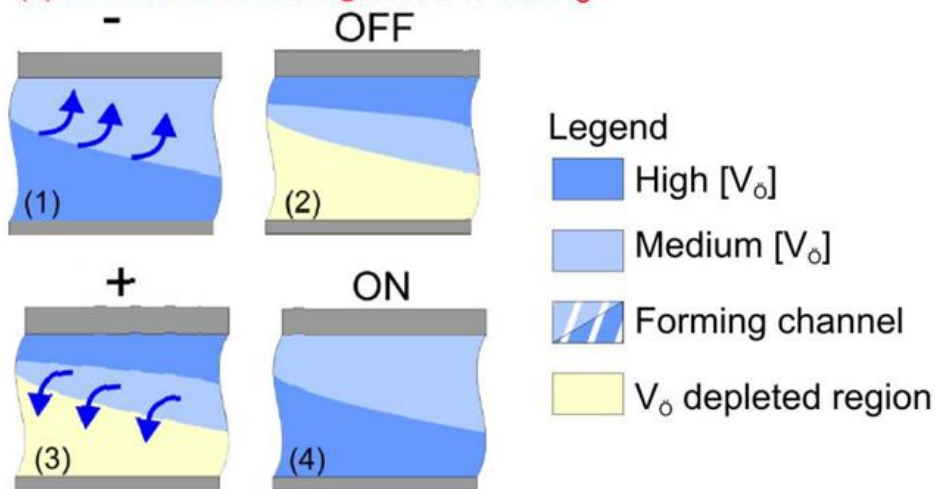


Fig. 4-9 Oxygen vacancy distributions in STO thin film by each applied bias. Off state driven by oxygen vacancy depleted region and on state driven by oxygen vacancy distribution recovery

8% V_o +1% Nb 3nm (1)	1.2~0.05% V_o +1%Nb 20~500nm(1)
1%Nb 20~500nm(2)	
1% Nb 500um (3)	1% Nb 500um (2)

Fig. 4-10 Oxygen vacancy distribution model for (Left) HRS (Right) LRS series resistance mechanism based on experiment result

각 저항상태의 모델에 따라 저항 값을 구해보면 실제로 두 저항상태 사이에 사실상 의미있는 저항변화가 없음을 알 수 있다. 이는 두 가지 이유 때문이고 논문과 다르게 실험에서 Pt/Nb:STO 단결정 기판을 소자로 사용하였기 때문에 나타나는 원인이다. 첫 번째는 STO 기판 전체에 Nb가 1 at% 도핑 되어 있다는 점이다. 이는 oxygen vacancy 가 2개의 전자를 줄 수 있는 donor라 하더라도 상대적으로 매우 높은 비율로, 따라서 0.05%와 같은 oxygen vacancy 비율에 따른 conductivity 값이 크게 차이가 나지 않고 비슷하리라 예상할 수 있기 때문이다. 두 번째 이유로는 전체 기판의 두께가 oxygen vacancy의 분포 변화가 일어나는 영역에 비해 매우 크기 때문이다. 이는 직렬 저항 연결에서의 전체 저항은 아래 식과 같이 각 영역의 저항의 합으로 나타나는데 이 때 각 영역의 저항이 두께에 의해 결정되기 때문이다. 따라서 매우 작은 영역에서의 저항 변화는 소자 전체에 큰 영향을 미치지 못한다고 할 수 있다.

$$R_{tot}=R(1)+R(2)+R(3)+\dots$$

$$= \rho(1)(L/A)+ \rho(2)(L/A)+ \rho(3)(L/A)+\dots$$

R, ρ , L, A는 각각 저항, 비저항, 두께, 면적이다.

실제 위 논문 실험 내에서 STO 박막은 두께가 500nm인 경우에 반해 실험에서 사용된 Pt/Nb:STO ReRAM 소자에서 Nb:STO 단결정 기판은 500um의 두께를 갖고 있으므로 계면부근 미세한 영역에서의 직렬 저항변화의 차이는 우리 실험의 결과를 설명하지 못한다.

4.3.2 계면에서 모델에 따른 포텐셜 장벽의 계산과 그 변화에 따른 저항변화

앞에서 제시된 모델과 유사한 모델을 통해 각 저항상태별 포텐셜 장벽을 직접 계산할 수 있다. 금속과 반도체의 접합에서 포텐셜은 charge 농도에 따라 결정되며 이는 poisson 방정식을 통해 다음과 같이 표현된다.

$$\nabla^2 \varphi = -\frac{\rho_f}{\varepsilon}$$

이 때 φ 는 포텐셜, ρ_f 는 charge의 농도, ε 는 permittivity를 의미한다. 그리고 기존 문헌을 통해 금속과 Nb:STO(0.5 wt%) 접합에서 depletion thickness와 permittivity를 계산에 이용하였다.

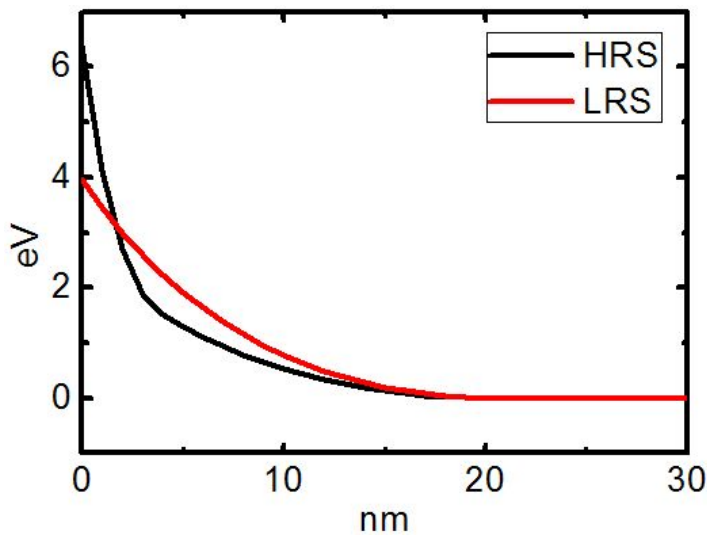


Fig. 4-10 Calculated potential barrier at each resistance state

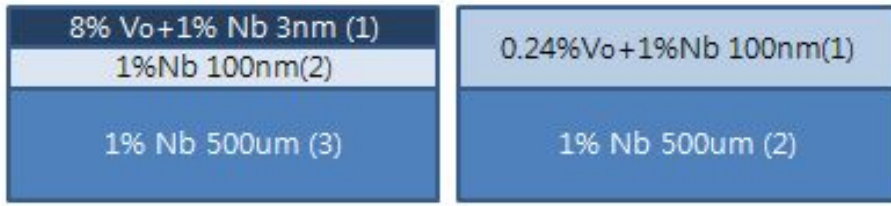


Fig. 4-10 Oxygen vacancy distribution model for (Left) HRS and (Right) LRS

STO와 같이 Si에 비해 전자의 이동도가 낮고, 도핑 농도가 높을 경우 금속과 반도체의 Schottky 접합에서 thermionic과 drift-diffusion conduction 의 영향이 모두 고려된 전도현상을 예상할 수 있다. [6] 그리고 이를 통해 각 저항상태 별 저항 값을 실제 계산 해 볼 수 있다. thermionic-drift diffusion conduction의 전류와 전압간의 관계식은 다음과 같다.

$$J = \mu N_c kT \frac{\exp\left(\frac{qV}{kT}\right) - \exp\left[\frac{q\phi(x_m)}{kT}\right]}{\int_{x_m}^W \exp\left(\frac{-q\phi}{kT}\right) dx}$$

Nb:STO 내에서 effective density of state N_c , 확산상수 D_n , 온도 T 가 두 저항상태 각각에서 차이가 나지 않는 특정 상수 값을 갖는다고 가정하면 전체의 전류 값은 장벽 전체 면적에 의해서만 결정된다. 위에서 계산된 포텐셜 장벽을 이용해 직접 저항상태 별 저항 값을 계산하면 두 저항상태에서 거의 동일한 값을 갖는다. 하지만 이는 실제 실험에서 측정된 on/off ration인 10^4 에 비해 매우 작다. 따라서 포텐셜 장벽 변화와 그에 따른 thermionic-drift diffusion 전도현상에 의한 전류 값의 차이는 저항변화를 설명하는 주된 요인이 아니라고 생각된다.

4.3.3 계면에서 Fermi pinning에 의한 포텐셜 장벽의 높이 변화와 그에 따른 저항변화

일반적으로 금속과 반도체의 Schottky 접합 소자에서 포텐셜 장벽의 높이는 전체 시스템의 저항을 결정한다. 하지만 포텐셜 장벽의 높이를 결정하는 요인에 대해서는 아직까지 완전하게 밝혀지지 않았다. Schottky-Mott에 의하면 포텐셜 장벽의 높이는 금속의 일함수와 반도체의 electron affinity의 차이에 의해 결정된다고 하였고 따라서 일함수가 큰 Pt와 n-type 반도체인 Nb:STO의 접합에서 포텐셜 장벽을 예상할 수 있다. 계산한 이론적인 Pt/Nb:STO의 포텐셜 장벽은 1.7eV에 이른다. 하지만 측정된 I-V curve를 이용해 실제 포텐셜 장벽을 계산 해 본 결과 1.7eV보다 훨씬 작은 값들을 갖고 있으며 따라서 Schottky-Mott에 의한 포텐셜 장벽 이론으로는 실험 내에서의 포텐셜 장벽과 그로 인한 저항 값을 설명할 수 없다. [9]

그 동안의 연구 결과에 따르면 금속의 일함수와 포텐셜 장벽의 직접적인 상관관계는 많은 경우에 관찰되지 않으며 그에 따라 포텐셜 장벽을 결정하는 다른 요인들이 존재한다고 제시되었다. 그 중에 가장 널리 받아들여지고 있는 제안 중 하나는 반도체의 계면 에너지 state에 의한 Fermi pinning 효과이다. [1][17] 이 연구에 따르면 포텐셜 장벽의 높이는 semi-conductor 내의 특정 계면 에너지 state에 의한 Fermi level pinning 효과와 금속의 일함수에 대한 효과를 동시에 고려함으로써 결정된다.

$$\phi_{Bn} = \gamma (\phi_m - \chi) + (1 - \gamma)(E_g - \phi_0) - \Delta\phi_n$$

이 때 ϕ_{Bn} , ϕ_m , χ , γ , E_g , ϕ_0 , $\Delta\phi_n$ 는 각각 금속의 일함수, 반도체의 electron affinity, 각 효과에 따른 영향 비율 상수, 밴드갭 에

너지, valence state 끝으로부터 계면 에너지 state에 이르는 에너지, imaginary barrier lowering 을 나타낸다. 따라서 우리 실험에서 Pt의 일함수가 아니라 Nb:STO의 계면 에너지 상태가 포텐셜 장벽을 결정짓는 중요한 요소가 될 수 있다.

한편 oxygen vacancy는 STO 내에서 donor energy state를 만드는데 이 energy level은 그 농도마다 다르다. 기존 논문에 의하면 oxygen vacancy의 농도가 작을 때는 conduction band 에서 0.04, 0.08, 0.15eV의 얇은 donor state를 만들고 oxygen vacancy의 농도가 클 경우는 conduction band 아래에서 0.5, 0.8, 1.2eV의 깊은 donor state를 만든다. [5] 그리고 이러한 donor state가 계면에 매우 높은 농도로 존재할 경우 Fermi level pinning효과가 나타날 수 있다. 따라서 oxygen vacancy가 많은 HRS 샘플의 경우 계면에서 깊은 계면 에너지 state를 갖고 그에 따라 큰 포텐셜 장벽이 형성되는 반면 LRS 샘플의 경우는 적은 oxygen vacancy에 의해 계면에서 낮은 계면 에너지 state를 만들며 HRS에 비해 상대적으로 낮은 포텐셜 장벽이 형성한다. 그리고 결정된 포텐셜 장벽의 높이에 따라 저항이 변하게 된다. 결과적으로 Pt에 가해진 전압에 따라 oxygen vacancy가 계면부근에서 이동하고, oxygen vacancy의 농도 변화에 따른 Fermi pinning과 포텐셜 장벽 높이의 변화가 저항변화의 원인이 된다. 이는 양성의 oxygen vacancy가 계면에 존재할 때/사라질 때 저항이 낮고/높아진다고 설명한 기존 메커니즘에 대한 반대의 설명이며, 실제로 우리의 실험에 적합한 결론이라 할 수 있겠다.

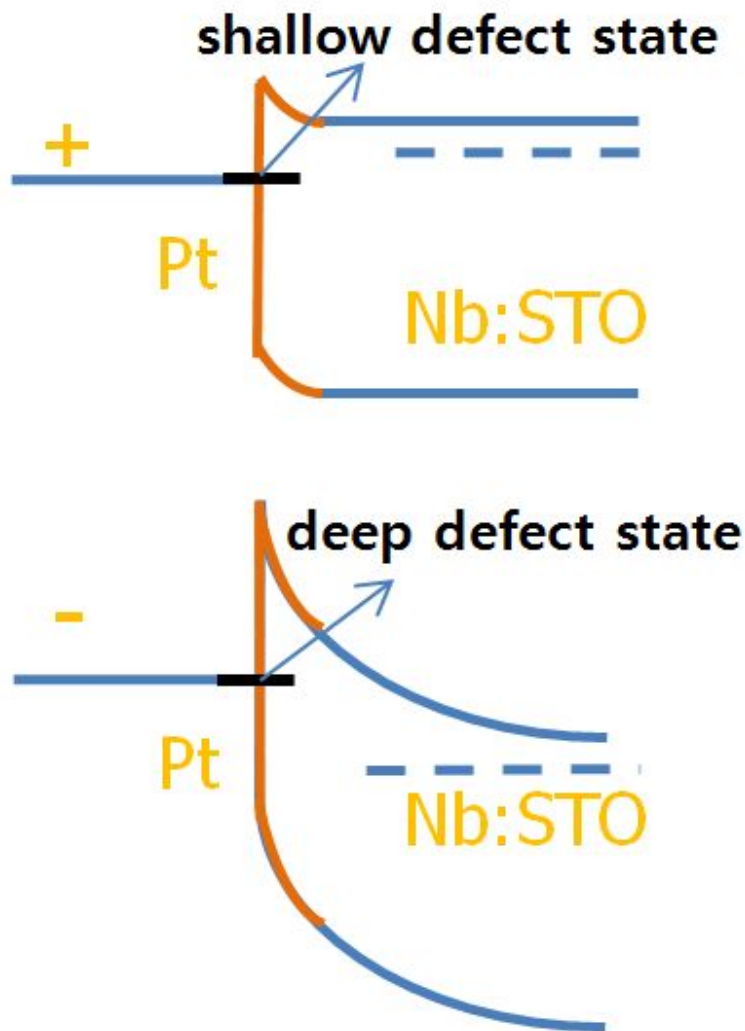


Fig. 4-11 (Top) Lowering the potential barrier by shallow oxygen vacancy interface state and Fermi pinning (Bottom) Increasing the potential barrier by deep oxygen vacancy interface state

5. 결 론

본 연구에서는 현재 활발하게 연구되고 있는 perovskite 구조를 갖는 transition metal oxide를 이용한 ReRAM의 메커니즘에 대해 연구하였다. 기존의 연구에서는 transition metal oxide ReRAM의 homogeneous 양발성 저항변화의 원인에 대해 여러 가지 메커니즘을 제시하고 있는데 그 중 electro-chemical ion migration, charge trap/detrapping에 의한 포텐셜 장벽의 변화가 가장 많이 주장되고 있다. 하지만 그 동안의 연구에서는 저항변화가 일어나는 계면에서 원자단위의 미시적 관찰에 대해 충분한 근거가 없을 뿐만 아니라 Pt/Nb:STO ReRAM 시스템에서의 저항변화를 잘 설명해주지 못한다.

우리는 TEM 실험을 위해 가장 잘 정의된 model 시스템인 Pt/Nb:STO ReRAM소자 계면에 대해 연구하였다. I-V curve를 통해 전기적 특성을 확인하였고, 그 결과 양발성 저항변화가 일어나며 Schottky 접합을 하고 있음을 확인하였다. 또한 retention을 측정함으로써 더 잘 설계된 TEM 실험을 준비할 수 있었다.

HR-image, STEM이미지 분석을 통해 계면에서의 원자 분포 및 전자구조를 확인할 수 있었다. 이미지 상으로 두 계면에서 화학적 반응층의 변화나 새로운 구조의 형성을 확인하지 못하였다. 하지만 STEM-EELS를 통해 분석해 본 결과 HRS의 경우 계면에서 oxygen vacancy가 많이 있음을 확인하였으며, 반대로 LRS에서는 HRS에 비해 oxygen vacancy 영역이 적음을 확인하였다.

실험결과를 바탕으로 기존 논문의 메커니즘에 적용을 시켜본 결과 Pt/Nb:STO소자의 저항변화를 설명할 수 없었다. 따라서 본 연구에서는 기존 메커니즘과는 다른 메커니즘들을 제시하였고 그 중 oxygen vacancy 분포에 따른 에너지 state와 Fermi pinning에

의한 포텐셜 장벽의 높이 변화가 가장 타당한 저항변화의 원인이라 생각된다. HRS의 경우 계면 부근 높은 oxygen vacancy 농도가 깊은 donor state를 만들고 Fermi pinning에 의해 높은 포텐셜 장벽을 만드는 반면 LRS는 낮은 oxygen vacancy 농도에 의한 얇은 donor state와 이에 따른 낮은 포텐셜 장벽에 의해 나타난다. 이러한 결과는 그 동안 미시적인 계면에서의 관찰이 이뤄지지 않았던 homogeneous 양발성 저항변화에 대해 Pt/Nb:STO model ReRAM system에서의 TEM 계면 관찰을 통해 저항변화의 원인을 설명할 수 다는 데에 의의가 있다. 그리고 또한 앞으로도 ReRAM 메커니즘 연구에 도움을 주리라 생각한다.

6. 참고문헌

- [1] Cowley A M and Sze S M 1965 Surface States and Barrier Height of Metal-Semiconductor Systems *Journal of Applied Physics* **36** 3212
- [2] David A M, Naoyuki M, Akira O, John L G and Harold Y H 2004 Atomic-scale imaging of nanoengineered oxygen vacancy profiles in SrTiO₃ *Nature* **430** 657
- [3] Deok-Hwang Kwon, Kyung Min Kim, Jae Hyuck Jang, Jong Myeong Jeon, Min Hwan Lee, Gun Hwan Kim, Xiang-Shu Li, Gyeong-Su Park, Bora Lee, Seungwu Han, Miyoung Kim and Cheol Seong Hwang, 2010 Atomic structure of conducting nanofilaments in TiO₂ resistive switching memory *Nature nanotechnology* **5** 148
- [4] Fujii T, Kawasaki M, Sawa A, Kawazoe Y, Akoh H and Tokura Y 2007 Electrical properties and colossal electroresistance of heteroepitaxial SrRuO₃/SrTi_{1-x}Nb_xO₃ (0.0002≤x≤0.02) Schottky junctions *Physical Review B* **75**
- [5] Hara T 2005 Electronic structures near surfaces of perovskite type oxides *Materials Chemistry and Physics* **91** 243-6
- [6] Janousch M, Meijer G I, Staub U, Delley B, Karg S F and Andreasson B P 2007 Role of Oxygen Vacancies in Cr-Doped SrTiO₃ for Resistance-Change Memory *Advanced Materials* **19** 2232-5
- [7] Leisegang T, Stöcker H, Levin A, Weißbach T, Zschornak M, Gutmann E, Rickers K, Gemming S and Meyer D 2009 Switching Ti Valence in SrTiO₃ by a dc Electric Field *Physical Review Letters* **102**
- [8] Muenstermann R, Menke T, Dittmann R and Waser R 2010 Coexistence of filamentary and homogeneous resistive

switching in Fe-doped SrTiO₃ thin-film memristive devices *Adv Mater* **22** 4819–22

- [9] Park C, Seo Y, Jung J and Kim D W 2008 Electrode-dependent electrical properties of metal/Nb-doped SrTiO₃ junctions *Journal of Applied Physics* **103** 054106
- [10] Rui Y K, Terabe;Guangqiang, Liu;Tohru, Tsuruoka;Tsuyoshi, Hasegawa; James K, Gimzewski; Masakazu, Aono 2012 On demand nanodevice neuromorphic multifunction realized by local ion migration *ACS nano*
- [11] Sawa A 2008 Resistive switching in transition metal oxides *Materials Today* **11** 28–36
- [12] Sawa A, Fujii T, Kawasaki M and Tokura Y 2004 Hysteretic current–voltage characteristics and resistance switching at a rectifying Ti/Pr_{0.7}Ca_{0.3}MnO₃ interface *Applied Physics Letters* **85** 4073
- [13] Schafranek R, Payan S, Maglione M and Klein A 2008 Barrier height at (Ba,Sr)TiO₃/Pt interfaces studied by photoemission *Physical Review B* **77**
- [14] Seong D-j, Jo M, Lee D and Hwang H 2007 HPHA Effect on Reversible Resistive Switching of Pt/Nb-Doped SrTiO₃ Schottky Junction for Nonvolatile Memory Application *Electrochemical and Solid-State Letters* **10** H168
- [15] Strukov D B, Borghetti J L and Williams R S 2009 Coupled ionic and electronic transport model of thin-film semiconductor memristive behavior *Small* **5** 1058–63
- [16] Strukov D B, Snider G S, Stewart D R and Williams R S 2008 The missing memristor found *Nature* **453** 80–3
- [17] Sze S M 1981 Physics of Semiconductor Devices, 2nd ed., Newyour.

- [18] Szot K, Speier W, Bihlmayer G and Waser R 2006 Switching the electrical resistance of individual dislocations in single-crystalline SrTiO₃ *Nature materials* **5** 312-20
- [19] Waser R, Dittmann R, Staikov G and Szot K 2009 Redox-Based Resistive Switching Memories - Nanoionic Mechanisms, Prospects, and Challenges *Advanced Materials* **21** 2632-63
- [20] Waser R M, Aono 2007 Nanoionics-based resistive switching memories *Nature materials* **6** 833
- [21] Xianwen Sun, Guoqiang Li, Li Chen, Zhong Shi and Weifeng Zhang, 2011 Bipolar resistance switching characteristics with opposite polarity of Au/SrTiO₃/Ti memory cells *Nanoscale Res Lett.* **6** 599

Abstract

In nowadays, although big memory size and fast access speed are needed in memory devices, contemporary memory devices have the capability limitation. Because it is caused by technical and physical problem, novel memory devices which are not based on the existed memory device's way are necessary. Among the next generation memory devices, ReRAM is the most being researched devices because of its fast switching speed, large resistance ratio, low driving voltage and simple structure.

ReRAM is the memory device which uses the resistance state as the memory signal depending on the voltage or current. ReRAM is clarified into two category, unipolar resistive switching which resistance is only dependent on magnitude of voltage, and bipolar resistive switching which resistance depends on polarity of voltage. In case of unipolar resistive switching, the resistive switching mechanism has been already researched enough and it was revealed that formation and failure of conductive filament in thin film is the origin of resistive switching. However for bipolar resistive case, depending on device's materials or electrical property, resistive switching can be explained by conductive filament or homogeneous interface state changing. Especially, many mechanisms were proposed for homogenous bipolar resistive switching and most of them told about the interface state change. Although microstructure of interface is the most important factor to determine the resistance, there are not enough researched to experiment the interface ion

migration or electron structure directly with microscopic.

Here, we investigated the Pt and Nb doped SrTiO₃ single crystal junction device as the most ideal homogeneous bipolar resistive switching model system for TEM experiment. We confirmed the resistive switching and electrical property by I-V curve and did TEM, STEM-EELS analysis to observe the microscopic mechanism. Homogeneous bipolar resistive switching in metal and SrTiO₃ single crystal junction is reported by many researches. Electro-chemical migration, potential barrier modification and tunneling current path modification by trap/detrapping are the suggested mechanism. But these cannot be matched with my experiment result. So I propose another mechanism to explain the homogeneous bipolar resistive switching with experiment result. Oxygen vacancy concentration and Fermi pinning effect for potential barrier height modification are the most possible resistive switching mechanism. Finally, this mechanism investigation may be helpful to know about the resistive switching behavior.

Keyword : ReRAM, EELS, TEM, Nb:STO

Student ID : 2011-20646

Name : Jinho, Park